

МИНОБРНАУКИ РОССИИ  
Федеральное государственное бюджетное образовательное учреждение  
высшего профессионального образования «Хакасский государственный  
университет им. Н.Ф. Катанова»

Колледж педагогического образования, информатики и права

ПЦК естественнонаучных дисциплин, математики и информатики

## РЕФЕРАТ

на тему:

Основы реализации оперативных запоминающих устройств

Автор реферата: \_\_\_\_\_  
(подпись)

Понамарева К.М.  
(инициалы, фамилия)

Специальность: 09.02.03 – Программирование в компьютерных системах

Курс: II

Группа: И-21

Зачет/незачет: \_\_\_\_\_

Руководитель: \_\_\_\_\_  
(подпись, дата)

Когумбаева О.П.  
(инициалы, фамилия)

г. Абакан, 2016г

**Содержание**

Введение .....	3
1. Литературный обзор .....	5
2. Принцип действия .....	8
3. Выбор и обоснование элементной базы.....	10
Заключение .....	18

## Введение

Под архитектурой ОЗУ принято понимать совокупность представлений о составе его компонентов, организации обмена информацией с внешней средой, а также о функциональных возможностях, реализуемых посредством команд.

**Актуальность:** В настоящее время практически вся компьютерная оперативная память является динамической (отсюда - DRAM или Dynamic RAM). Каждая ее ячейка представляет собой конденсатор, заряжаемый в случае необходимости записи логической единицы, и разряжаемый при записи нуля. DRAM характеризуется минимальным размером элементарной ячейки, однако для нормальной работы она требует постоянного обновления хранимой в ней информации.

**Цель:** Изучить основы реализации ОЗУ.

### Задачи:

1. Провести литературный обзор ОЗУ
2. Изучить принцип действия ОЗУ
3. Выбрать и обосновать элементную базу

Все персональные компьютеры используют три вида памяти: оперативную, постоянную и внешнюю (различные накопители). Память нужна как для исходных данных так и для хранения результатов. Она необходима для взаимодействия с периферией компьютера и даже для поддержания образа, видимого на экране. Вся память компьютера делится на внутреннюю и внешнюю. В компьютерных системах работа с памятью основывается на очень простых концепциях. В принципе, всё, что требуется от компьютерной памяти, - это сохранять один бит информации так, чтобы потом он мог быть извлечён оттуда.

Оперативная память предназначена для хранения переменной информации, так как она допускает изменение своего содержимого в ходе выполнения микропроцессором соответствующих операций.

В компьютерах с архитектурой фон Неймана (к этому классу относятся практически все ЭВМ, в том числе и РС) оперативная память играет очень важную роль. Именно в ней хранятся все выполняемые программы и их данные. Работа осуществляется центральным процессором и оперативной памятью, остальные же компоненты любой вычислительной системы напрямую в процессе вычисления не участвуют.

ОЗУ предназначено для хранения переменной информации, оно допускает изменение своего содержимого в ходе выполнения процессором вычислительных операций с данными. Это значит, что процессор может выбрать (режим считывания) из ОЗУ код команды и данные и после обработки поместить в ОЗУ (режим записи) полученный результат. Причём возможно размещение в ОЗУ новых данных на месте прежних, которые в этом случае перестают существовать. Таким образом, ОЗУ может работать в режимах записи считывания и хранения информации. Все программы, в том числе и игровые, выполняются именно в оперативной памяти.

## 1. Литературный обзор

Запоминающее устройство именуемые также устройствами памяти, предназначены для хранения данных. Они, в свою очередь, включают процессы, схемы логики, матрицы памяти, схемы контроля данных, дешифраторы, буферы регистры, электрические и механические компоненты.

Основными характеристиками ЗУ является :

- емкость памяти, измеряемая в битах либо в байтах;
- методы доступа к данным;
- быстродействие(время обращения к устройству);
- надежность работы, характеризуемая зависимостью от окружающей среды и колебаний напряжения питания;
- стоимость единицы памяти.

ЗУ делятся на электронные и электронно-механические. Электронно-механические в свою очередь делятся на два класса: оперативно запоминающее устройства(ОЗУ) и внешне запоминающее устройство (ВЗУ).

В адресном ОЗУ каждый элемент памяти имеет адрес, соответствующий его пространственному расположению в запоминающей среде. Поэтому, обращение к определенному элементу производится в соответствии с кодом его адреса. В ЗУ после приема кода осуществляется его дешифрацией, после чего следует выборка из элемента конкретной группы битов или слов.

В ассоциативном ЗУ поиск данных происходит по конкретному содержимому, независимо от его адреса. Такой поиск информации идет с использованием определенных признаков, например, ключевых слов, которые связаны с искомыми данными. Ассоциативные устройства. Хотя и являются более сложными, обеспечивают более быстрый поиск и выбор хранимых данных.

Память, хранящая обрабатываемые в текущее время данные и выполняемые команды называется основной памятью- RAM (Random Access Memori), т.е. память с произвольным доступом. Она составляет основу системной памяти. В

ПК в большинстве случаев основная оперативная память строится на микросхемах динамического типа (DRA- Dynamic Random Access), где в качестве ЗЭ используется простейшая сборка, состоящая из одного транзистора и одного конденсатора. Основными причинами широкого применения этой памяти является высокая плотность интеграции (увеличение числа ЗЭ на чип и сокращение числа чипов, необходимых для одного модуля, малое потребление энергии, тратится минимум энергии на хранение одного бита, уменьшается потребляемая системой мощность, снижается стоимость) и т.д. Но имеются и недостатки: каждый ЗЭ представляет, по сути дела, разряжаемый со временем конденсатор, поэтому чтобы предотвратить потерю хранящейся в конденсаторе информации, микросхема RAM должна регенерироваться.

Имеется другой вид памяти, который лишен этого недостатка. Эта память называется статической (Static RAM-SRAM), где в качестве ЗЭ используется так называемый статический триггер (состоящий из 4-6 транзисторов). Из-за сложности ЗЭ плотность упаковки микросхем SRAM меньше, чем для DRAM. Следовательно, если бы SRAM устанавливалась в качестве оперативной памяти, то это привело бы к увеличению быстродействия ПК, однако при этом существенно изменилась бы его стоимость, поскольку стоимость микросхемы SRAM значительно выше стоимости DRAM.

Оперативная память соединяется с процессором посредством адресной шины и шины данных. Каждая шина состоит из множества электрических цепей (линий или бит). Ширина (разрядность адресной шины определяет сколько адресов может быть в ОЗУ, адресное пространство), а шины данных – сколько данных может быть передано за один цикл.

Каждая передача данных между процессором и памятью называется циклом шины. Количество бит, которые процессор может передать за один цикл шины, влияет на производительность ПК и определяет, какой тип памяти требуется.

Для описания характеристик быстродействия оперативной памяти применяются так называемые циклы чтения/записи (или временные схемы памяти). Дело в том, что при обращении к памяти на считывание или запись 1-го

машинного слова расходуется больше тактов, чем на обращении к трем последующим словам. Так, для асинхронной SRAM чтение одного слова выполняется за 3 последовательностью 3-2-2-2 такта,(что означает, что чтение такта, запись – за 4 такта, чтение нескольких слов определяется первого элемента данных занимает 3 такта ЦП, включая два такта ожидания, а чтение последующих – по 2 временных такта), а запись 4-3-3-3.

## 2. Принцип действия

С учетом указанных в варианте составных частей этого устройства его структурную схему можно представить в виде, структурной схеме.

В качестве элемента памяти используем микросхему K155PY2 емкостью 16 – 4 – разрядных слов. Для реализации выходного регистра считываемого слова можно использовать 8 – или 4 – разрядные универсальные сдвиговые регистры или же 4 – разрядный регистр хранения. Последний вариант более предпочтительней, т.к. в наличие регистре хранения инверсных выходов позволяет получить на них информацию в прямом коде при считывании ЗУ без использования дополнительных инверторов.

Счетчик адреса должен быть 4 – разрядным двоичным, реверсивным. Выбираем микросхему K155IE7. использование этого же счетчика в качестве регистра записываемого слова обеспечит простоту контроля работоспособности стекового ЗУ, т.к. по любому адресу в ЗУ всегда будет запоминаться само число.

Из указанных в варианте заданий функций блока управления стекового ЗУ установка в 0 счетчика адреса (регистра записываемого слова) реализуется с помощью ГОИ, сигнала с которого необходимо подать на R- вход счетчика.

Другой функцией блока управления должна быть выдача взаимоисключающих сигналов «Запись в ЗУ» и «Считывание из ЗУ». Их можно получить с клавишного регистра или триггера. Разрабатываемое стековое ЗУ должно работать в двух режимах: циклическом, когда запись в стек и считывание из него могут чередоваться в произвольной последовательности, и динамическом, где последовательность изменений от записи к считыванию и обратно должна быть строго периодической. Так, в варианте задания рекомендовано организовать последовательную запись 16 чисел в стек и затем их последовательное считывание. С учетом динамического режима схему получения сигналов «Запись в ЗУ» и «Считывание из ЗУ» удобно реализовать с помощью триггера, клавишного регистра и преобразователя кода.

Нажатое состояние клавиша нулевого разряда регистра будет соответствовать динамическому режиму работы стекового ЗУ. В этом случае разрешается переключение триггера сигналами на его С – входе и блокируется преобразователям кода. В циклическом режиме нажатое положение клавиша нулевого разряда преобразователя кода устанавливает триггер режима в состояние «Запись в ЗУ», а отжатое положение – в состоянии «Считывание из ЗУ».

Основным источником сигналов для блока управления является ГИ. Для получения из тактовых импульсов последовательностей сигналов на входах счетчика адреса, накопителя, выполненного на интегральной микросхеме памяти (ИМП), и выполненного регистра составим схему алгоритмов работы стекового ЗУ в режимах записи и считывания данных.

Если сигналы  $v1$  на входе ИМП будет инверсным импульсным только в режиме записи, это избавит нас от необходимости учета задержек распространения сигналов в ИМП при занесении данных в выходной регистр при считывании. Запись в стек можно тактировать сигналом ТИ1, а изменения состояния счетчика адреса – сигналом ТИ2. однако с учетом того, что время фиксации на адресном входе ИМП меньше времени задержки выходного сигнала на входе счетчика, обе указанные микрооперации можно осуществить одновременно с сигналом ТИ1.

### 3. Выбор и обоснование элементной базы

В микросхемах памяти динамического типа функции ЭП выполняет электрический конденсатор, образованный внутри МДГД-структуры. Информация представляется в виде заряда: наличие заряда на конденсаторе соответствует логическому 0, отсутствие логической 1. Поскольку время сохранения конденсатором заряда<sup>1</sup> ограничено, предусматривают периодическое восстановление (регенерацию) записанной информации. В этом состоит одна из отличительных особенностей динамических ОЗУ. Кроме того, для них необходима синхронизация, обеспечивающая требуемую последовательность включений и выключений функциональных узлов.

Для изготовления микросхем динамических ОЗУ в основном применяют МДП-технологии, которая позволяет повышать быстродействие и уровень интеграции микросхем, обеспечивать малые токи утечки и за этот счет увеличивать время сохранения заряда на запоминающем конденсаторе.

Микросхемы динамических ОЗУ отечественного производства представлены в основном серией К565. Она включает в свой „состав ряд микросхем, отличающихся не только своими характеристиками, но и использованными в них структурными решениями.

Рассмотрим типичный вариант реализации динамического ОЗУ на примере микросхемы К565РУЗ информационной емкостью 16КХ1 бит. В ее структурную схему входят выполненные в одном кремниевом кристалле матрица накопителя, содержащая 16384 элементов памяти, расположенных на пересечениях 128 строк и 128 столбцов, 128 усилителей считывания и регенерации, дешифраторы строк и столбцов, устройство управления, устройство ввода-вывода и мультиплексный регистр адреса.

Матрица накопителя разделена на две части по 64Х64 ЭП в каждой. Между ними размещены усилители, так что каждый столбец состоит из двух секций, подключенных к разным плечам усилителя. Элемент памяти построен по однотранзисторной схеме и включает конденсатор  $C_n$  и транзистор  $УТ_n$ .

Транзистор выполняет функции ключа: при' сигнале на адресной шине строки  $X_j$  —1 он открывается и соединяет конденсатор  $Q_j$  с  $j$ -разрядной  $I$  шиной.

Предварительно в между обращениями - к накопителю емкости получим  $C_{шД}$  и  $C_{шВ}$  з.аряжает источник напряжения  $U_Q$  через открытые ключевые транзисторы  $VT_5$  и  $VT_6$ . При обращении к накопителю эти транзисторы закрываются и изолируют полушины  $A_j$  и  $B_j$  от источника напряжения  $U_0$ . Запоминающий конденсатор  $C_{jj}$  выбранного ЭП подключается через открытый транзистор  $VT_{,j}$  к полушине  $A_j$  и изменяет- ее потенциал. Это изменение незначительно, так как емкость запоминающего конденсатора, равная  $0,1 \dots 0,2$  пФ, многоемкости шины. Поэтому для индикации малого изменения потенциала шины при считывании информации применен высокочувствительный дифференциальный усилитель триггерного типа на транзисторах  $VT_1$  —  $VT_4$ , включенный в середину РШ.

Кроме массива ЭП и усилителей, матрица имеет в своей структуре опорные элементы (ЭО) по одному элементу в каждой полушине. Эти элементы в каждой половине матрицы составляют опорную строку (ОС). Опорный элемент построен аналогично запоминающему. Его назначение состоит в поддержание опорного напряжения  $U_0$ , с которым усилитель-сравнивает потенциал полушины с выбранным ЭП и -реагирует на получающуюся "при сравнении разность потенциалов положительного и отрицательного знака в зависимости от считываемого уровня. Эта операция происходит следующим образом: если выбрана для обращения строка верхней полуматрицы  $X$ , то сигнал  $A_6$  старшего разряда кода адреса строки коммутирует в селекторе опорной строки цепь через ключевой транзистор  $VT_{iA}$  для сигнала  $F_2$  к  $ОС_2$ , расположенной в нижней полуматрице., Таким образом, в каждом из 128 столбцов к усилителю с разных сторон подключены ЭП и ЭО. Поскольку потенциал полушины с ЭП отличается от опорного, то в проводимости транзисторов разных плеч усилителя-триггера появляется асимметрия, которая при включении цепи его питания сигналом  $P_z$  вызывает опрокидывание триггера по преобладающему уровню^В итоге на выходах-входах  $A$  и  $B$  триггера формируются полные уровни 1 и 0. Тот из

сигналов, который отражает считываемую информацию, сигнал с плеча А, коммутируется на вход устройства вывода через включевые транзисторы VT7, VT9 и VT10, открываемые сигналами А в, f и Y,.. Очевидно, считан может быть только один сигнал с выбранного дешифратором столбца:  $Y_i = 1$ . У остальных столбцов ключи VT10 закрыты. Сигнал F<sub>4</sub> зависит от наличия сигнала CAS-при отсутствии последнего он не формируется и ключ VT9 закрыт" Сигнал на входе-выходе А триггера-усилителя выполняет также функцию восстановления уровня заряда запоминающего конденсатора C<sub>ц</sub>, т. е. функцию регенерации информации. Причем эта операция происходит в ЭП выбранной строки одновременно. Таким образом, при каждом обращении к матрице для считывания информации автоматически осуществляется регенерация информации во всех ЭП, принадлежащих выбранной строке

Для адресации 16К элементов памяти необходим 14-разрядный код, а у рассматриваемой микросхемы только семь адресных входов. С целью уменьшения числа необходимых выводов корпуса в микросхемах динамических ОЗУ-код адреса вводят по частям: вначале семь младших разрядов А<sub>0</sub> - А<sub>6</sub>, сопровождая их стробирующим сигналом RAS, затем семь старших разрядов А<sub>7</sub>-А<sub>13</sub> со стробирующим сигналом CAS. Внутри микросхемы коды адреса строк и столбцов-фиксируются на адресном регистре затем дешифрируются и осуществляют выборку адресуемого ЭП.

Для формирования внутренних сигналов F— F<sub>4</sub> управляющих включением и выключением в определенной последовательности функциональных узлов микросхемы, в ее структуре предусмотрено устройство управления, для которого входными являются сигналы RAS, CAS, W/R.

Устройство ввода-вывода обеспечивает вывод одного бита информации DO в режиме считывания и ввод одного бита информации DI с ее фиксацией с помощью триггера-защелки в режиме записи. Во всех режимах, кроме режима считывания, выход принимает высокоомное (третье) состояние. Наличие у выхода высоко-омного состояния позволяет объединять информационные вход и выход при подключении микросхемы к общей информационной шине.

По входам и выходам микросхемы серии K565 совместимы с ИЛ-микросхемами, что означает соответствие их входных и выходных сигналов ТТЛ-уровням.

Значения выходных токов в нормальном режиме эксплуатации не превышают 4 мА, а в предельном режиме могут достигать 30 мА.

Микросхемы динамических ОЗУ работают в следующих режимах: записи, считывания, считывания-модификации-записи страничной записи, страничного считывания, регенерации. Рассмотрим названные режимы и условия их реализации применительно к микросхеме K565РУЗ, но при этом имея в виду, что аналогично протекают процессы и в микросхемах других типов этой серии.

Для обращения к микросхеме для записи и считывания информации необходимо подать код адреса строк  $A_0$  —  $A_e$ , одновременно с ним или с некоторой (не нормируется) задержкой сигнал RAS, затем с нормированной задержкой на время удержания адреса строк относительно сигнала RAS должен быть подан код адреса столбцов и через время установления  $t_{\text{ус.а.сAs}}$  — сигнал CAS. К моменту подачи кода адреса столбцов на вход Ш<sub>1</sub> подводят записываемый бит информации, который сигналом W/R при наличии CAS = 0 фиксируется на входном триггере-защелке. Сигнал записи W/R может быть подан уровнем или импульсом. В последнем случае он должен иметь длительность не менее определенного параметром  $T_{\text{WR}}$  значения. Если сигнал записи подан уровнем, то фиксацию DI триггером-защелкой производит отрицательный перепад сигнала CAS (при наличии RAS=0). По окончании записи должна быть выдержана пауза  $T_{\text{RAS}}$ , равная интервалу между сигналами RAS, для восстановления состояния внутренних цепей микросхемы.

В аналогичном порядке должны быть поданы адресные и управляющие сигналы при считывании информации. Сигнал W/R = 1 может быть подан импульсом или уровнем. Время появления выходного сигнала можно отсчитывать от момента поступления сигналов адреса  $t_{\text{B.a}}$  либо сигналов управления, время выборки сигнала RAS  $t_{\text{BRAS}}$ , время выборки сигнала CAS  $t_{\text{eCAS}}$ . При оценке микросхемы по этим параметрам следует иметь в виду, что они взаимосвязаны, и

поэтому достаточно знать один из них. Более информативным является параметр  $t_{B.CAS}$  поскольку информацию выводит из микросхемы сигнал CAS при наличии, конечно, сигнала считывания W/R —1.

Следует:  $t_{B.RAS} = t_{B.CAS} + t_{ycCAS.RAS}$ .

Для оценки быстродействия микросхемы памяти в расчет необходимо принимать время цикла записи (считывания)  $t_{u.3n}$ ,  $t_{u-4}$ . Другие временные параметры необходимы для обеспечения бесбойного функционирования микросхем в составе электронной аппаратуры. Перечень временных параметров динамических ОЗУ включает десятки наименований.

Параметры указаны на временных диаграммах, (штриховкой обозначены временные интервалы, не фиксируемые по длительности, где сигналы могут иметь произвольные значения: либо 0, либо 1).

Для обеспечения надежного сохранения записанной в накопителе информации реализуют режим "принудительной регенерации". Регенерация информации в каждом ЭП должна осуществляться не реже чем через 2 мс (для К565РУ5Д и КР565РУ6Д через 1 мс). Как уже отмечалось, регенерация автоматически выполняется для всех ЭП выбранной строки при обращении к матрице для записи или считывания информации.

Время, в течение которого необходимо обратиться к строке' для регенерации, определяет параметр «Период регенерации»

Поскольку обращение к разным строкам происходит с различными по длительности интервалами времени, рассчитывать только на автоматическую регенерацию нельзя.

Цикл регенерации состоит из  $m$  обращений к матрице, где  $m$  - - число строк, путем перебора адресов строк с помощью внешнего счетчика циклов обращений. Обращение к матрице для регенерации может быть организовано по любому из режимов: записи, считывания, считывания-модификации-записи, • а также по специальному режиму регенерации — сигналом RAS.

Режим работы «Считывание-модификация-запись» заключается в считывании информации о последующей записью в один и тот же ЭП. Во временных диаграммах сигналов для этого режима совмещены диаграммы для считывания и записи информации: при неизменных сигналах RAS и CAS режим считывания сменяет режим записи данных по тому же адресу. Модификация режима заключается в смене сигнала считывания на сигнал записи и в подведении ко входу DI записываемой информации. Время цикла в этом режиме обращения больше, чем в других. Во всех указанных режимах регенерация осуществляется в естественном порядке, как операция, сопутствующая процессу обращения к микросхеме.

При организации принудительной регенерации наиболее целесообразным и удобным для реализации является режим регенерации сигналом RAS, при котором осуществляют перебор адресов в сопровождении стробирующего сигнала RAS при CAS = 1.

У микросхемы K565PY1 режим <sup>N</sup> регенерации осуществляют по циклу считывания или «Считывание-модификация-запись» с выполнением условия CS —1, при котором доступ к микросхеме по входу и выходу закрыт. Выход находится в высокоомном состоянии.

В расчет времени регенерации следует принимать время цикла ори выбранном режиме регенерации, умножив его на число строк. Например, на регенерацию информации в ЭП одной строки у микросхемы K565PY5Б а режиме «Считывание-модификация-запись» необходимо не, тогда для регенерации ЭП всех 256 строк потребуется 80 мкс, что составит 4% рабочего времени микросхемы. В режиме регенерации только сигналом общее время, регенерации уменьшается до 6,5 мкс, что составит 3% времени функционирования микросхемы.

Страничные режимы записи и считывания реализуют обращением к микросхеме по адресу строки с выборкой ЭП этой строки изменением адреса столбцов. В этих режимах значительно уменьшается время цикла записи (считывания) поскольку при неизменных сигналах "RAS = 0 и кода адреса строки

использована часть полного цикла записи (считывания), относящаяся к адресации столбцов.

Ц состав серии К565 входят микросхемы с информационной емкостью 4К, 16К, 64К и 256К. Микросхемы К565РУ1 и К565РУ3 нуждаются в трех источниках питания. При применении этих, микросхем следует учитывать требования по порядку включения и выключения источников питания: первым подключают источник — 5 В, а отключают последним. Это требование обусловлено тем, что напряжение —5 В подается на подложку (кристалл) и если его не подключить первым, то под воздействием, даже кратковременным, напряжений двух других источников с напряжением 5 и 12 В может произойти в кристалле тепловой пробой и повредиться микросхема.

Реализация источника питания для микросхем К565РУ1, К.565.РУ3 с приоритетом по времени включения напряжения —5 В. Порядок включения двух других напряжений питания может быть любым.

После подачи напряжения питания микросхемы К565РУ1, К565РУ3 переходят в нормальный режим функционирования через восемь рабочих циклов, микросхема К565РУ5 — после паузы в 2 мс и последующих 16 рабочих циклов, микросхема КР565РУ6 — после паузы 2 мс и последующих 8—16 рабочих циклов в любом из режимов.

Микросхемы К565РУ5 и КР565РУ6 имеют один источник питания 5 В и одинаковые электрические параметры, но различную информационную емкость. Микросхема КР565РУ6 совместима с микросхемой К565РУ3 по статическим параметрам, имеет ту же информационную емкость и разводку выводов в корпусе, но отличается лучшими значениями временных параметров, потребляемой мощности и наличием одного источника. питания 5 В. Поэтому применение микросхемы К.Р565РУ6 предпочтительнее.

Каждый тип микросхем серии К565 подразделен на подтипы (типономиналы), отличающиеся временными параметрами, а у микросхемы К565РУ5 и информационной емкостью что расширяет функциональный ряд микросхем динамических ОЗУ. По режимам работы микросхемы серии К565

полностью совместимы, что обеспечивает возможность перехода от микросхем памяти небольшой информационной емкости, например от КР565РУ6, к микросхемам К565РУ5 и К565РУ7.

Дальнейшее развитие микросхем динамических ОЗУ связано с повышением уровня интеграции и, следовательно, информационной емкости, а также с освоением структур, в которых устройство динамической памяти совмещено на одном кристалле с устройством регенерации. Такое динамическое ОЗУ для пользователя имеет характеристики статического ОЗУ, и поэтому его называют квазистатическим. Элементы таких встроенных систем регенерации уже присутствуют в современных микросхемах динамических ОЗУ, в частности в К565РУ7. Существенной отличительной особенностью данной микросхемы является увеличенный до 8 мс период регенерации и наличие у нее встроенного в кристалл счетчика адреса строк, что позволяет применять режим авторегенерации. В этом режиме регенерация осуществляется за 512 циклов изменения только сигнала RAS при активном состоянии сигнала CAS. Перебор адресов строк автоматически выполняет внутренний счетчик. Это упрощает устройство управления микросхемой.

## **Заключение**

Таким образом, запоминающее устройство - носитель информации, предназначенный для записи и хранения данных. В основе работы запоминающего устройства может лежать любой физический эффект, обеспечивающий приведение системы к двум или более устойчивым состояниям.